

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-250580

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

G11B 20/10
G11B 7/00

(21)Application number : 10-047980

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 27.02.1998

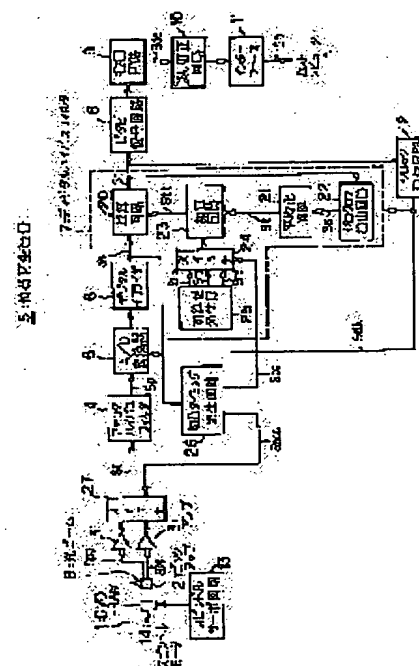
(72)Inventor : NISHIWAKI HIROSHI
HAYASHI HIDEKI

(54) INFORMATION REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To precisely and faithfully reproduce digital information by subtracting a DC level of a sampling detection signal from its sampling value, correcting the sampling detection signal and preserving a signal component of a low frequency band in each detection signal.

SOLUTION: The detection signals Spp, Spp' outputted from a pickup 2 are amplified by amplifiers 3, 3' to be outputted to a switch 27, and then the output of the switch 27 is outputted to an analog high-pass filter 4 as a selection signal Sc according to a reproducing area of a DVD-RAM 1 by a control signal Sscc. Then, a noise of a low frequency incorporated in it is reduced, and an analog detection signal Sp is outputted. Then, this signal is sample with a clock signal Sclk having a sampling frequency by an A/D converter 5, and a digital detection signal Sq performed with level correction amplifying a high frequency component is outputted to a digital high-pass filter 7 and a switch timing generation circuit 26 by a digital equalizer 6. This level correction is performed since the high frequency component of the detection signal Spp of Spp' has attenuating characteristics.



LEGAL STATUS

[Date of request for examination]

23.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

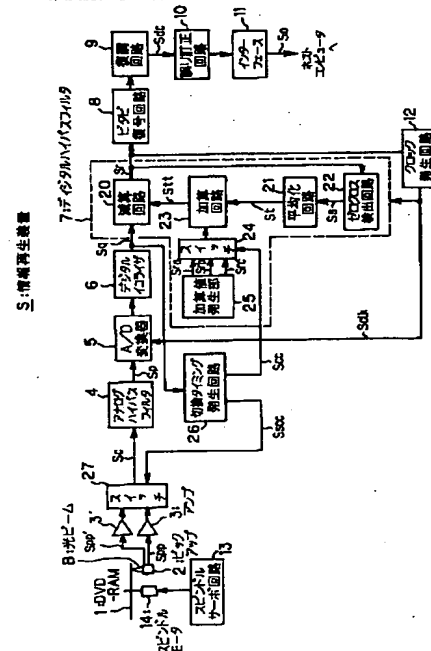
[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成11年(1999)9月17日



1

【特許請求の範囲】

【請求項 1】 再生用の光ビームの記録媒体からの反射光に基づいて検出されるデジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるように前記デジタル情報が記録されている前記記録媒体から当該デジタル情報を再生する情報再生装置において、

前記デジタル情報を当該記録媒体から読み出し、異なる前記中心レベル毎に前記検出信号を生成する生成手段と、

各前記生成された検出信号を、予め設定された所定の標本化周波数を有する標本化クロック信号を用いて夫々標本化し、異なる前記中心レベル毎に標本化検出信号を夫々出力する標本化手段と、

各前記標本化検出信号毎に夫々含まれる標本値であって、各標本化検出信号における前記中心レベルに最も近い標本値である中心レベル標本値を各前記標本化検出信号から夫々抽出することにより、各前記標本化検出信号の直流レベルを夫々検出する検出手段と、

前記検出された各直流レベルを各前記標本化検出信号における標本値から減算することにより当該標本化検出信号を夫々補正し、補正標本化検出信号を夫々出力する補正手段と、

各前記補正標本化検出信号を復号し、前記デジタル情報を再生する再生手段と、

を備えることを特徴とする情報再生装置。

【請求項 2】 再生用の光ビームの記録媒体からの反射光に基づいて検出されるデジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるように前記デジタル情報が記録されている前記記録媒体から当該デジタル情報を再生する情報再生装置において、

前記デジタル情報を当該記録媒体から読み出し、異なる前記中心レベル毎に前記検出信号を生成する生成手段と、

各前記生成された検出信号を、予め設定された所定の標本化周波数を有する標本化クロック信号を用いて夫々標本化し、異なる前記中心レベル毎に標本化検出信号を夫々出力する標本化手段と、

各前記標本化検出信号を夫々補正して補正標本化検出信号を夫々生成する補正手段であって、各前記標本化検出信号毎に夫々含まれる標本値であり且つ各前記標本化検出信号における前記中心レベルに最も近い標本値である中心レベル標本値を当該中心レベルに一致させて各前記標本化検出信号を夫々補正し、前記補正標本化検出信号を夫々出力する補正手段と、

各前記補正標本化検出信号を夫々復号し、前記デジタル情報を再生する再生手段と、

を備えることを特徴とする情報再生装置。

【請求項 3】 請求項 2 に記載の情報再生装置におい

2

て、

前記補正手段は、

各前記補正標本化検出信号に含まれる各標本値について、隣接する二つの当該標本値が各前記中心レベルを挟んで変化したとき、当該二つの標本値のうち、絶対値が小さい方の前記標本値を前記中心レベル標本値として夫々抽出する抽出手段と、

各前記抽出された夫々の中心レベル標本値を、各前記標本化検出信号における複数周期に渡って夫々平均化し、平均値を夫々出力する平均化手段と、

前記夫々出力された平均値に対して、各前記中心レベルに対応して当該中心レベル毎に予め設定された定数であって、異なる各前記中心レベルを同一のレベルとするための定数を加算し、加算平均値を出力する加算手段と、前記出力された加算平均値を各前記標本化検出信号における夫々の前記標本値から減算することにより、各前記補正標本化検出信号を夫々出力する減算手段と、

を備えることを特徴とする情報再生装置。

【請求項 4】 請求項 1 から 3 のいずれか一項に記載の情報再生装置において、

前記記録媒体は、スパイラル状のランドトラックとグルーブトラックとが半径方向に交互に形成されたディスク状記録媒体であると共に、

前記ランドトラックと前記グルーブトラックとを前記デジタル情報におけるセクタ毎に分割することにより当該デジタル情報が記録されており、

更に、前記ランドトラックと前記グルーブトラックにおける各前記セクタの境界位置毎に、少なくとも前記デジタル情報を再生するために用いられる再生制御情報が記録された制御領域が形成され、

当該制御領域には、当該制御領域を二分するトラック方向の長さを有し且つ前記ランドトラック又は前記グルーブトラックのいずれか一方と同じ前記半径方向の幅を有する、前記再生制御情報が記録された二つの制御情報記録部が、相互に前記半径方向に二分の一トラックづつ反対方向に夫々偏倚して形成されており、

更にまた、相互に異なる前記中心レベルを有する前記検出信号は、前記セクタに相当する領域からの前記反射光に基づいて生成される検出信号と、一の前記制御領域中における一の前記制御情報記録部からの前記反射光に基づいて生成される検出信号と、当該一の制御領域中における他の前記制御情報記録部からの前記反射光に基づいて生成される検出信号と、に夫々対応する検出信号であることを特徴とする情報再生装置。

【請求項 5】 請求項 4 に記載の情報再生装置において、

前記平均化手段は、各前記中心レベルに対応して出力された前記平均値を夫々別個に記憶する記憶手段を更に備えると共に、

今回の前記平均値の出力に当たって前記記憶手段に記憶

10

20

30

40

50

3

されている過去に用いられた前記平均値を初期値として用いることにより今回の前記平均値を出力することを特徴とする情報再生装置。

【請求項 6】 請求項 1 から 5 のいずれか一項に記載の情報再生装置において、
前記補正手段は、各前記標本化検出信号における予め設定された所定のデジタルカットオフ周波数未満の低周波成分を低減すると共に、
前記デジタルカットオフ周波数は前記標本化周波数に対応して変化することを特徴とする情報再生装置。

【請求項 7】 請求項 1 から 6 のいずれか一項に記載の情報再生装置において、
前記再生手段は、ビタビ復号方式を用いた再生手段であることを特徴とする情報再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、従来の CD (Compact Disk) よりも約 4 倍に記録容量を高めると共にデジタル情報の記録／再生が複数回に渡って可能な記録媒体である DVD-RAM (DVD-Random Access Memory) に記録されているデジタル情報を再生する情報再生装置の技術分野に属する。

【0002】

【従来の技術】 近年、従来の CD よりも記録容量を約 4 倍に向上させると共に複数回の記録／再生が可能な記録媒体である DVD-RAM に関する研究開発が活発に行われている。

【0003】 ここで、この DVD-RAM の記録フォーマットについてその概要を説明すると、当該 DVD-RAM においては、いわゆるランドトラックとグルーブトラックとがその半径方向に互いに隣接しつつスパイラル状に形成されており、記録すべきデジタル情報は当該ランドトラックとグルーブトラックの双方に記録される。

【0004】 また、DVD-RAM に記録されるデジタル情報は、予め設定された所定の情報量を有するセクタ毎に分割されており、更に各ランドトラックとグルーブトラックも当該セクタ毎に分割されている。

【0005】 そして、当該セクタの境界部には、デジタル情報の DVD-RAM 上の記録位置を示すアドレス情報等を含む記録／再生時に必要な制御情報が予め記録されている制御領域が形成されている。このとき、各ランドトラック又はグルーブトラックにおける上記制御領域は、DVD-RAM における同一の半径上にその中心から見て放射状に形成されている。

【0006】 更に、当該制御領域内には、当該制御領域を二分するトラック方向の長さを有し且つランドトラック又はグルーブトラックのいずれか一方と同じ半径方向の幅を有する二つの制御情報記録部が、相互に半径方向に二分の一トラックづつ反対方向に夫々偏倚して形成さ

4

れており、この制御情報記録部内に上記制御情報が記録されている。

【0007】 ここで、上述した記録フォーマットを有する DVD-RAM に記録されているデジタル情報を再生する際には、レーザ光等の光ビームを上記ランドトラック及びグルーブトラック並びに制御領域に照射すると共にその反射光を用いて再生を行うこととなるが、このとき、当該反射光を受光するディテクタは DVD-RAM の回転における接線方向に平行な分割線により二分割されており、ランドトラック及びグルーブトラック上のデジタル情報については当該分割されたディテクタ同士の和信号に基づいてデジタル情報を再生し、一方、制御領域内の制御情報については、当該分割されたディテクタ同士の差信号に基づいて当該制御情報を再生する構成となっている。なお、制御情報を差信号により検出するのは、上記制御情報記録部の偏倚の方向を検出してランドトラック上のデジタル情報の再生からグルーブトラック上のデジタル情報の再生へ、又はグルーブトラック上のデジタル情報の再生からランドトラック上のデジタル情報の再生へ切り替える時のタイミングを検出するためである。

【0008】 そして、上述のように和信号と差信号を使い分けて制御情報とデジタル情報の再生を行う場合には、一の制御領域内における一の制御情報記録部からの反射光に基づく検出信号（上記差信号）と、当該一の制御領域中における他方の制御情報記録部からの反射光に基づいて生成される検出信号（上記差信号）と、ランドトラック又はグルーブトラックからの反射光に基づいて生成される検出信号（上記和信号）とでは、夫々にその中心レベルが異なったものとなる。

【0009】 一方、上述した記録フォーマットで記録されている DVD-RAM 上のデジタル情報を再生するための再生装置においては、夫々の領域からの検出信号の高域減衰特性をイコライザ等により補正した後、アナログハイパスフィルタに入力して当該検出信号に夫々含まれている直流成分を除去した後二値化して、上記デジタル情報を再生することとなる。

【0010】 ここで、図 12 を用いて上記 DVD-RAM の再生装置についてその概要を説明する。

【0011】 図 12 (a) に示すように、従来の情報再生装置 J は、スピンドルモータ 100 と、スピンドルサーボ回路 101 と、ピックアップ 102 と、アンプ 103 と、アナログイコライザ 104 と、アナログハイパスフィルタ 105 と、2 値化回路 106 と、サンブラ 107 と、PLL (Phase Locked Loop) 108 と、復調回路 109 と、誤り訂正回路 110 と、インターフェース 111 とにより構成されている。

【0012】 また、2 値化回路 106 は、図 12 (b) に示すように、コンパレータ 106a、106b 及び 106c と、閾値制御部 106d、106e 及び 106f

5

と、スイッチ106gとにより構成されている。

【0013】更に、アナログハイパスフィルタ105は、コンデンサ112と、抵抗113により構成されている。

【0014】次に、概要動作を説明する。

【0015】スピンドルモータ100は、スピンドルサーボ回路101の制御の下、デジタル情報が記録されているDVD-RAM1を所定の回転数で回転させる。

【0016】そして、当該回転するDVD-RAM1に対して、ピックアップ102は光ビームBを照射し、その反射光を電気信号に変換してDVD-RAM1に記録されているデジタル情報及び制御情報に対応する検出信号Sppを生成し、アンプ103に出力する。このとき、当該検出信号ppには、デジタル情報を検出した検出信号Sppである和信号と、上記制御情報を検出した検出信号Sppである差信号とが時間的に分離されて含まれている。

【0017】次に、アンプ103は、入力された検出信号Spp（和信号と差信号）を所定の増幅率で増幅し、アナログイコライザ104に出力する。

【0018】そして、アナログイコライザ104は、本来的に高域減衰特性を有する検出信号Sppの高域部分を強調し、周波数特性を補正する。

【0019】ここで、上記周波数特性が補正された検出信号Spp（和信号と差信号）は、DVD-RAM1の反射率変動や屈折率変動、光ビームBのサーボ機構の追従誤差等に起因する低い周波数の雑音成分を夫々含んでいる。そこで、当該周波数特性が補正された検出信号Sppは、アナログハイパスフィルタ105に入力され、当該アナログハイパスフィルタ105により直流成分を含む当該低周波雑音成分が除去され、アナログ検出信号Spとして出力される。このアナログ検出信号Spにおいては、その中心レベルが和信号又は差信号毎に予め設定された基準電圧と一致していることとなる。

【0020】次に、2値化回路106は、アナログ検出信号Spの電圧と上記予め設定されている基準電圧（例えば、ゼロ電位レベル）とを和信号及び差信号毎に比較し、“1”又は“0”のパルス信号（DVD-RAM1に記録されているデジタル情報又は制御情報に対応したパルス信号）So'を出力する。

【0021】ここで、2値化回路106の動作について図12（b）を用いて具体的に説明すると、DVD-RAM1上の各制御情報記録部毎に異なる中心レベルを有する二つの差信号については、夫々コンパレータ106aと106bとに入力され、閾値制御部106d及び106eから夫々出力される閾値と比較されて2値化されスイッチ106gに入力される。このとき、閾値制御部106dは一の制御情報記録部からの差信号の中心レベルに相当する閾値を出力し、コンパレータ106aは当該閾値と差信号とを比較して当該差信号を2値化する。

6

また、閾値制御部106eは他方の制御情報記録部からの差信号の中心レベルに相当する閾値を出力し、コンパレータ106bは当該閾値と差信号とを比較して当該差信号を2値化する。

【0022】一方、デジタル情報に対応する和信号については、コンパレータ106cに入力され、閾値制御部106fから出力される閾値（ランドトラック又はグルーブトラックからの和信号の中心レベルに相当する閾値）と比較されて2値化されスイッチ106gに入力される。

【0023】これによりスイッチ106gは、和信号及び各差信号が検出されるタイミングで各コンパレータ106a乃至106cからの2値化信号を切り替え、当該和信号及び各差信号を2値化したパルス信号So'を出力する。

【0024】そして、PLL108は、当該パルス信号So'に位相同期したクロック信号を生成する。

【0025】そして、サンブラ107は、PLL108からのクロック信号に基づいて2値化回路106からのパルス信号So'をサンプリングし、制御情報又はデジタル情報に対応するデジタルデータを出力する。

【0026】その後、当該デジタルデータは、復調回路109において所定の復調方式（例えば、DVD-RAM1のデジタル情報を再生するときには8/16復調方式）により復調され、誤り訂正回路110において誤り訂正が施された後、インターフェース111を介して外部の例えばホストコンピュータ等に出力される。

【0027】その後、復調されたデジタル情報は再生そのものに用いられ、一方再生された制御情報は、再生時のピックアップ102の移動先の設定等に用いられる。

【0028】なお、アナログハイパスフィルタ105のカットオフ周波数fcは、図12（a）に示すコンデンサ112の容量をC、抵抗113の抵抗値をRとすると、

【数1】 $f_c = 1 / 2\pi CR$
となる。

【0029】また、DVD-RAM1の回転数の制御については、そのディスク上の位置によって回転速度を異ならせる可変速再生（いわゆるZCLV（Zoned Constant Line Velocity）方式）が一般的に用いられている。

【0030】

【発明が解決しようとする課題】ここで、上記DVD-RAM1に記録されているデジタル情報を再生した場合に、その周波数帯域（上記検出信号Spp（和信号と差信号）の周波数帯域）は概ね数百ヘルツから数メガヘルツの帯域に分布している。これに対して、外乱等の再生に不要な雑音の周波数帯域は直流から概ね数十キロヘルツまでの帯域に分布している。

7

【0031】従って、数百ヘルツから数十キロヘルツまでの周波数帯域については、外乱による雑音と本来再生すべきデジタル情報又は制御情報とが共存している。よって、従来のアナログハイパスフィルタを用いた場合には、雑音を完全に除去できるようにカットオフ周波数を高く設定するとデジタル情報又は制御情報の低周波成分も除去してしまい、他方、デジタル情報又は制御情報が完全に通過できるようにカットオフ周波数を低く設定すると雑音も通過させてしまい、結局、雑音の除去とデジタル情報又は制御情報の通過とを両立させることが困難であるという問題点があった。

【0032】更に、DVD-RAM1に記録されているデジタル情報又は制御情報は、周知のように、複数種類の長さのビットの組み合わせにより記録されている。このとき、図13に示すように、例えばデジタル情報としての記録符号Siにおいて、長さPlの長いハイレベルが連続した後、長さPsの短いハイレベルが連続したとすると、記録符号Siの波形は図13最上段に示すようになる。ここで、図13最上段中の点線は記録符号Siの平均値を示しており、前半（長さPlの長いハイレベルが連続する期間）は平均値は高めとなり、後半（長さPsの短いハイレベルが連続する期間）は平均値が低めとなる。この平均値の変動がデジタル情報の低周波成分に相当している。なお、この場合、DVD-RAM1の記録面上では長いビットが連続した後、短いビットが連続することとなる。

【0033】そして、当該ビットを検出してデジタル情報を再生することにより記録符号Siに対応して得られる検出信号Spp（和信号）は図13中2段目に示す波形となる。ここで、図13中2段目における点線は検出信号Sppにおける平均値を示しており、上記記録符号Siに対応して前半は平均値が高めとなっており、後半は平均値が低めとなっている。更に、黒丸は検出信号Sppとゼロ電位レベルとの交点であるゼロクロス点を示している。

【0034】次に、当該検出信号Spp（和信号）をアナログハイパスフィルタ105を通して得られるアナログ検出信号Spは、図13中上から3段目に示す波形となる。ここで、点線は、検出信号Spp等の場合と同様にアナログ検出信号Spの平均値を示しており、黒丸は、アナログ検出信号Spにおける検出信号Sppのゼロクロス点に対応する点を示している。

【0035】この波形から解るように、アナログハイパスフィルタ105が検出信号Sppの低周波成分を除去した結果、アナログ検出信号Spの平均値については、前半も後半も同じ一定のゼロ電位レベルとなる。また、検出信号Sppにおけるゼロクロス点（黒丸）は、アナログ検出信号Spにおいては前半はゼロ電位レベルより低い負レベルとなり、後半はゼロ電位レベルよりも高い正レベルとなる。すなわち、検出信号Sppの段階でゼロクロ

8

ス点であったところが、アナログ検出信号Spでは正側又は負側にずれることとなる。

【0036】従って、このアナログ検出信号Sp（和信号）がゼロ電位レベルよりも高いか又は低いか、すなわち、正か又は負かのみをコンパレータ106で検出して再生すると、図13中最下段に示す波形を有するパルス信号So'となるが、このパルス信号So'におけるハイレベル期間の長さPl'又はPs'は、上記記録符号Siにおけるハイレベル期間の長さPl又はPsとは異なった長さとなっている。

【0037】このことは、換言すれば、アナログハイパスフィルタ105がデジタル情報又は制御情報の低周波成分を除去した結果、再生すべきデジタル情報又は制御情報とは異なった情報を再生してしまうという問題点があることを示している。

【0038】更にまた、上述した可変速再生においては、再生されるアナログ検出信号の周波数帯域も変化するが、従来のアナログハイパスフィルタではカットオフ周波数が一定であるため、当該周波数帯域の変化に対応して有効に雑音成分を除去できないという問題点もあった。

【0039】そこで、本発明は、上記各問題点に鑑みてなされたもので、その課題は、DVD-RAM1に記録されているデジタル情報の再生時において、雑音成分の有効な除去とデジタル情報又は制御情報のなるべく広い周波数帯域に渡る再生とを両立することが可能であると共に、デジタル情報又は制御情報に忠実で正確な再生ができ、且つ再生速度の変化にも対応して有効に雑音を除去してデジタル情報又は制御情報を再生し得る情報再生装置を提供することにある。

【0040】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明は、再生用の光ビームのDVD-RAM等の記録媒体からの反射光に基づいて検出されるデジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるように前記デジタル情報が記録されている前記記録媒体から当該デジタル情報を再生する情報再生装置において、前記デジタル情報を当該記録媒体から読み出し、異なる前記中心レベル毎に前記検出信号を生成するピックアップ等の生成手段と、各前記生成された検出信号を、予め設定された所定の標準化周波数を有する標準化クロック信号を用いて夫々標準化し、異なる前記中心レベル毎に標準化検出信号を夫々出力するA/D変換器等の標準化手段と、各前記標準化検出信号毎に夫々含まれる標準値であって、各標準化検出信号における前記中心レベルに最も近い標準値である中心レベル標準値を各前記標準化検出信号から夫々抽出することにより、各前記標準化検出信号の直流レベルを夫々検出するゼロクロス検出部等の検出手段と、前記検出された各直流レベルを各前記標準

9

化検出信号における標本値から減算することにより当該標本化検出信号を夫々補正し、補正標本化検出信号を夫々出力するデジタルハイパスフィルタ等の補正手段と、各前記補正標本化検出信号を復号し、前記デジタル情報を再生するビタビ復号回路等の再生手段と、を備える。

【0041】請求項1に記載の発明の作用によれば、生成手段は、デジタル情報を記録媒体から読み出し、異なる中心レベル毎に検出信号を生成する。

【0042】そして、標本化手段は、各生成された検出信号を標本化クロック信号を用いて夫々標本化し、異なる中心レベル毎に標本化検出信号を夫々出力する。

【0043】次に、検出手段は、各標本化検出信号毎に夫々含まれる中心レベル標本値を各標本化検出信号から夫々抽出することにより、各標本化検出信号の直流レベルを夫々検出する。

【0044】そして、補正手段は、検出された各直流レベルを各標本化検出信号における標本値から減算することにより当該標本化検出信号を夫々補正し、補正標本化検出信号を夫々出力する。

【0045】最後に、再生手段は、各補正標本化検出信号を復号し、デジタル情報を再生する。

【0046】よって、デジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるようにデジタル情報が記録されている記録媒体から当該デジタル情報を再生する場合に、各標本化検出信号における直流レベルを標本化検出信号の各標本値から減算して各標本化検出信号を補正するので、各検出信号における低周波数域の信号成分を保存してデジタル情報を正確且つ忠実に再生することができる。

【0047】上記の課題を解決するために、請求項2に記載の発明は、再生用の光ビームの記録媒体からの反射光に基づいて検出されるデジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるように前記デジタル情報が記録されている前記記録媒体から当該デジタル情報を再生する情報再生装置において、前記デジタル情報を当該記録媒体から読み出し、異なる前記中心レベル毎に前記検出信号を生成するピックアップ等の生成手段と、各前記生成された検出信号を、予め設定された所定の標本化周波数を有する標本化クロック信号を用いて夫々標本化し、異なる前記中心レベル毎に標本化検出信号を夫々出力するA/D変換器等の標本化手段と、各前記標本化検出信号を夫々補正して補正標本化検出信号を夫々生成する補正手段であって、各前記標本化検出信号毎に夫々含まれる標本値であり且つ各前記標本化検出信号における前記中心レベルに最も近い標本値である中心レベル標本値を当該中心レベルに一致させて各前記標本化検出信号を夫々補正し、前記補正標本化検出信号を夫々出力するデジタルハイパスフィルタ等の補正手段と、各前記補正標本化検出信

10

号を夫々復号し、前記デジタル情報を再生するビタビ復号回路等の再生手段と、を備える。

【0048】請求項2に記載の発明の作用によれば、生成手段は、デジタル情報を記録媒体から読み出し、異なる中心レベル毎に検出信号を生成する。

【0049】そして、標本化手段は、各生成された検出信号を標本化クロック信号を用いて夫々標本化し、異なる中心レベル毎に標本化検出信号を夫々出力する。

【0050】次に、補正手段は、各標本化検出信号毎に中心レベル標本値を夫々の標本化検出信号における中心レベルに一致させて各標本化検出信号を夫々補正し、補正標本化検出信号を夫々出力する。

【0051】そして、再生手段は、各補正標本化検出信号を夫々復号し、デジタル情報を再生する。

【0052】よって、デジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるようにデジタル情報が記録されている記録媒体から当該デジタル情報を再生する場合に、夫々の補正標本化検出信号における中心レベル標本値を中心レベルに一致させて当該標本化検出信号を夫々補正するので、各検出信号における低周波数域の信号成分を保存してデジタル情報を正確且つ忠実に再生することができる。

【0053】上記の課題を解決するために、請求項3に記載の発明は、請求項2に記載の情報再生装置において、前記補正手段は、各前記補正標本化検出信号に含まれる各標本値について、隣接する二つの当該標本値が各前記中心レベルを挟んで変化したとき、当該二つの標本値のうち、絶対値が小さい方の前記標本値を前記中心レベル標本値として夫々抽出するゼロレベル検出回路等の抽出手段と、各前記抽出された夫々の中心レベル標本値を、各前記標本化検出信号における複数周期に渡って夫々平均化し、平均値を夫々出力する平均化回路等の平均化手段と、前記夫々出力された平均値に対して、各前記中心レベルに対応して当該中心レベル毎に予め設定された定数であって、異なる各前記中心レベルを同一のレベルとするための定数を加算し、加算平均値を出力する加算回路等の加算手段と、前記出力された加算平均値を各前記標本化検出信号における夫々の前記標本値から減算することにより、各前記補正標本化検出信号を夫々出力する減算回路等の減算手段と、を備える。

【0054】請求項3に記載の発明の作用によれば、請求項2に記載の発明の作用に加えて、補正手段における抽出手段は、各補正標本化検出信号に含まれる各標本値について、隣接する二つの当該標本値が各中心レベルを挟んで変化したとき、当該二つの標本値のうち、絶対値が小さい方の標本値を前記中心レベル標本値として夫々抽出する。

【0055】次に、補正手段における平均化手段は、各抽出された夫々の中心レベル標本値を、各標本化検出信号における複数周期に渡って夫々平均化し、平均値を夫

々出力する。

【0056】そして、補正手段における加算手段は、夫々出力された平均値に対して、各中心レベルに対応して当該中心レベル毎に予め設定された定数であって、異なる各中心レベルを同一のレベルとするための定数を加算し、加算平均値を出力する。

【0057】最後に、補正手段における減算手段は、出力された加算平均値を各標準化検出信号における夫々の標準値から減算することにより、各補正標準化検出信号を夫々出力する。

【0058】よって、閉ループを構成して各標準化検出信号を夫々補正するので、正確な補正標準化検出信号を生成することができると共に、複数種類の異なる中心レベルを有する検出信号が検出されても、夫々の中心レベル間の相違を相殺して正確にデジタル情報を再生することができる。

【0059】上記の課題を解決するために、請求項4に記載の発明は、請求項1から3のいずれか一項に記載の情報再生装置において、前記録媒体は、スパイラル状のランドトラックとグルーブトラックとが半径方向に交互に形成されたディスク状記録媒体であると共に、前記ランドトラックと前記グルーブトラックとを前記デジタル情報におけるセクタ毎に分割することにより当該デジタル情報が記録されており、更に、前記ランドトラックと前記グルーブトラックにおける各前記セクタの境界位置毎に、少なくとも前記デジタル情報を再生するために用いられる再生制御情報が記録された制御領域が形成され、当該制御領域には、当該制御領域を二分するトラック方向の長さを有し且つ前記ランドトラック又は前記グルーブトラックのいずれか一方と同じ前記半径方向の幅を有する、前記再生制御情報が記録された二つの制御情報記録部が、相互に前記半径方向に二分の一トラックづつ反対方向に夫々偏倚して形成されており、更にまた、相互に異なる前記中心レベルを有する前記検出信号は、前記セクタに相当する領域からの前記反射光に基づいて生成される検出信号と、一の前記制御領域中における一の前記制御情報記録部からの前記反射光に基づいて生成される検出信号と、当該一の前記制御領域中における他の前記制御情報記録部からの前記反射光に基づいて生成される検出信号と、に夫々対応する検出信号であるように構成される。

【0060】請求項4に記載の発明の作用によれば、請求項1から3のいずれか一項に記載の発明の作用に加えて、記録媒体は、スパイラル状のランドトラックとグルーブトラックとが半径方向に交互に形成されたディスク状記録媒体であると共に、ランドトラックとグルーブトラックとをデジタル情報におけるセクタ毎に分割することにより当該デジタル情報が記録されており、更に、ランドトラックとグルーブトラックにおける各セクタの境界位置毎に、再生制御情報が記録された制御領域

が形成され、当該制御領域には、当該制御領域を二分するトラック方向の長さを有し且つランドトラック又はグルーブトラックのいずれか一方と同じ半径方向の幅を有する二つの制御情報記録部が、相互に半径方向に二分の一トラックづつ反対方向に夫々偏倚して形成されており、更にまた、相互に異なる中心レベルを有する検出信号は、セクタに相当する領域からの反射光に基づいて生成される検出信号と、一の前記制御領域中における一の前記制御情報記録部からの反射光に基づいて生成される検出信号と、当該一の前記制御領域中における他の制御情報記録部からの反射光に基づいて生成される検出信号と、に夫々対応する。

【0061】よって、各制御情報記録部及び各セクタからの検出信号において、夫々の中心レベルが異なっても、夫々の中心レベルの相違を相殺することにより各制御情報記録部に記録されている再生制御情報並びにデジタル情報を夫々確実に読み出して再生することができる。

【0062】上記の課題を解決するために、請求項5に記載の発明は、請求項4に記載の情報再生装置において、前記平均化手段は、各前記中心レベルに対応して出力された前記平均値を夫々別個に記憶するD型フリップフロップ等の記憶手段を更に備えると共に、今回の前記平均値の出力に当たって前記記憶手段に記憶されている過去に用いられた前記平均値を初期値として用いることにより今回の前記平均値を出力するように構成される。

【0063】請求項5に記載の発明の作用によれば、請求項4に記載の発明の作用に加えて、平均化手段における記憶手段は、各中心レベルに対応して出力された平均値を夫々別個に記憶する。

【0064】そして、平均化手段は、今回の平均値の出力に当たって記憶手段に記憶されている過去に用いられた平均値を初期値として用いることにより今回の平均値を出力する。

【0065】よって、過去に算出された平均値を用いて今回の平均値を出力するので、迅速に当該平均値を出力することができる。

【0066】上記の課題を解決するために、請求項6に記載の発明は、請求項1から5のいずれか一項に記載の情報再生装置において、前記補正手段は、各前記標準化検出信号における予め設定された所定のデジタルカットオフ周波数未満の低周波成分を低減すると共に、前記デジタルカットオフ周波数は前記標準化周波数に対応して変化するように構成される。

【0067】請求項6に記載の発明の作用によれば、請求項1から5のいずれか一項に記載の発明の作用に加えて、補正手段は、各標準化検出信号における所定のデジタルカットオフ周波数未満の低周波成分を低減すると共に、デジタルカットオフ周波数は標準化周波数に対応して変化する。

13

【0068】よって、補正手段がデジタルハイパスフィルタとして機能することとなるので、外乱等に起因する雑音信号のうち、デジタルカットオフ周波数未満の周波数成分を低減することができる。

【0069】上記の課題を解決するために、請求項7に記載の発明は、請求項1から6のいずれか一項に記載の情報再生装置において、前記再生手段は、ビタビ復号方式を用いた再生手段であるように構成される。

【0070】請求項7に記載の発明の作用によれば、請求項1から6のいずれか一項に記載の発明の作用に加えて、再生手段がビタビ復号方式を用いた再生手段であるので、各補正標準化検出信号のS/N比が低い場合等であっても、正確に夫々の復号再生を実行することができる。

【0071】

【発明の実施の形態】次に、本発明に好適な実施の形態について、図面に基いて説明する。なお、以下に説明する実施の形態は、記録媒体としてのDVD-RAMの情報記録面にピットを用いて記録されているデジタル情報を再生する情報再生装置に対して本発明を適用した実施の形態である。

【0072】(I) 第1実施形態

始めに、本発明に係る第1実施形態について、図1乃至図9を用いて説明する。説明する。

【0073】まず、情報再生装置の具体的な構成を説明する前に、本発明に係る上記DVD-RAMにおける記録フォーマットについて、図1及び図2を用いて説明する。ここで、DVD-RAMはその半径方向に分割された複数のゾーンにより構成されており、図1は当該ゾーンのうち、一つのゾーン内のトラックの構造を示す平面図であり、図2は図1の部分的な拡大図である。

【0074】図1に示すように、DVD-RAM1においては、予め形成されるグルーブトラック1Gとランドトラック1Lの双方にデジタル情報が記録されているいわゆるランド/グルーブ(L/G)記録方式が用いられている。

【0075】なお、図1においては、グルーブトラック1Gはハッチングを付して示されており、ランドトラック1Lは白地のままとして示されている。そして、DVD-RAM1では、当該ランドトラック1Lとグルーブトラック1Gとがディスク一回転毎に図1に示す制御領域S0(細部は後述)を境として連結されており、一連の当該ランドトラック1Lとグルーブトラック1Gとを合わせてDVD-RAM1全体で1本のスパイラル上のトラックを形成している。このようなトラックの形式を一般に単一スパイラルランド/グルーブ(SS-L/G: Single Spiral-Land/Groove)記録方式と称する(なお、当該SS-L/G記録方式について詳細には、例えば、「シングルスパイラルランドグルーブ記録のアクセス方式、中野ら、信学技報TECHNICAL REPORT 050

14

F IEICE, MR95-88, CPM95-126(1996-02), 電子情報通信学会」に詳しい。)

【0076】一方、各ランドトラック1L及びグルーブトラック1Gは、記録されるべきデジタル情報における所定の情報単位であるセクタに区切られており、その区切り箇所には、図1に示すように、ランドトラック1L又はグルーブトラック1G上で後続又は先行するセクタのDVD-RAM1上の物理的位置若しくはセクタ番号等の、DVD-RAM1におけるデジタル情報の記録位置を実質的に示すアドレス情報が予めプリフォーマットされている制御領域S0乃至S7が設けられている。そして、各制御領域S0乃至S7は、図1に示すようにDVD-RAM1の回転角について一つの上記ゾーン内において等間隔に配置されている。更に、隣接する二つの制御領域の間に位置するランドトラック1L又はグルーブトラック1Gに記録されるデジタル情報を再生するための時間は、各制御領域S0乃至S7により挟まれている各領域の全てにおいて等しく設定されている。

【0077】次に、上記制御領域S0乃至S7の細部構成について、図2を用いて説明する。なお、図2は、単一スパイラルにおいてランドトラック1Lからその中心線の延長上にあるグルーブトラック1Gに変る位置(換言すれば、グルーブトラック1Gからその中心線の延長上にあるランドトラック1Lに変る位置)に配置されている制御領域S0と、当該制御領域の隣の制御領域である制御領域S1について夫々の拡大図を示す。ここで、制御領域S0以外の他の制御領域では、そのトラック方向の前後において上記単一スパイラルがランドトラック1L→グルーブトラック1G又はグルーブトラック1G→ランドトラック1Lと変化することはない。

【0078】図2に示すように、制御領域S0又はS1は、制御情報が記録されている記録部分(上述した制御情報記録部)と記録されていない未記録部分71とにより構成されており、当該制御情報記録部70と未記録部分71は、夫々にグルーブトラック1G又はランドトラック1Lの幅に等しい幅を有すると共に、DVD-RAM1の回転方向において当該制御領域S0又はS1を二等分する長さを有する。そして、当該制御情報記録部70と未記録部分71はグルーブトラック1G又はランドトラック1Lに対してDVD-RAM1の半径方向に半トラック分だけ偏倚して千鳥状に配列されている。

【0079】このとき、制御情報記録部70は、たとえば、グルーブトラック1Gと同様の構造を備えており、夫々の位置に対応する制御情報を示すピット列Pが形成されている。一方、未記録部71は鏡面状になっており、その高さはランドトラック1Lの表面と同等とされている。

【0080】そして、制御領域S0においては、DVD-RAM1の読取方向(回転方向)に沿ってグルーブトラ

15

ック1Gからランドトラック1Lへと連なる仮想トラックT1を考えた場合に、当該仮想トラックT1上には、最初にDVD-RAM1の内周側に半トラックだけ偏倚して制御情報記録部70が形成されており、次にDVD-RAM1の外周側に半トラックだけ偏倚して他の制御情報記録部70が形成されている。同様に、読取方向に沿いランドトラック1Lからグルーブトラック1Gへと連なる仮想トラックT2上には、最初にDVD-RAM1の外周側に半トラックだけ偏倚して制御情報記録部70が形成されており、次にDVD-RAM1の内周側に半トラックだけ偏倚して他の制御情報記録部70が形成されている。

【0081】これに対し制御領域S0以外の他の制御領域S1乃至S7においてはDVD-RAM1の読取方向（回転方向）に沿いグルーブトラック1Gから次のグルーブトラック1Gへと連なる仮想トラックT3を考えた場合に、当該仮想トラックT3上には、最初にDVD-RAM1の外周側に半トラックだけ偏倚して制御情報記録部70が形成されており、次にDVD-RAM1の内周側に半トラックだけ偏倚して他の制御情報記録部70が形成されている。同様に、読取方向に沿いランドトラック1Lから次のランドトラック1Lへと連なる仮想トラックT4上には、最初にDVD-RAM1の内周側に半トラックだけ偏倚して制御情報記録部70が形成されており、次にDVD-RAM1の外周側に半トラックだけ偏倚して制御情報記録部70が形成されている。

【0082】このように、制御領域S0とその他の制御領域において制御情報記録部70の形成位置を異ならせることにより、いずれかの制御領域を通過するとき、ランドトラック1L→グルーブトラック1G又はグルーブトラック1G→ランドトラック1Lと変化するの可否かを後述する情報再生装置において認識することができるのである。

【0083】また、図2において、各トラック（グルーブトラック1G又はランドトラック1L）が波打つように形成されているが、このうねり（ウォブル）は、デジタル情報の再生時又は記録時にDVD-RAM1を回転させるための後述するスピンドルモータの回転数を制御するための同期信号を記録するために形成されているものであり、当該デジタル情報の記録時又は再生時においては、このうねりを検出することにより、スピンドルモータの回転を制御するための基準信号を生成する。なお、図1の平面図においては、当該うねりを省略している。

【0084】上述した構成を有するDVD-RAM1に記録されているデジタル情報を光学的に再生する場合には、レーザ光等の光ビームを集光してDVD-RAM1上に光スポットを形成し、その反射光を読取方向に平行な分割線で分割されたディテクタで受光することにより検出信号を得て再生するのであるが、このとき、一の

16

制御領域にある二つの制御情報記録部70からの反射光に基づく検出信号（上記制御情報の検出信号）とランドトラック1L又はグルーブトラック1Gからの反射光に基づく検出信号（上記デジタル情報の検出信号）とでは、夫々に異なった中心レベルを有することとなるのである。

【0085】次に、上述したDVD-RAM1からデジタル情報を再生するための第1実施形態に係る情報再生装置の構成及び動作について、図3乃至図9を用いて説明する。

【0086】始めに、図3及び図4を用いて第1実施形態の情報再生装置の全体構成及び動作について説明する。

【0087】図3に示すように、第1実施形態に係る情報再生装置Sは、生成手段としてのピックアップ2と、アンプ3及び3'と、アナログハイパスフィルタ4と、標準化手段としてのA/D変換器5と、デジタルイコライザ6と、本発明に係る補正手段としてのデジタルハイパスフィルタ7と、再生手段としてのビタビ復号回路8と、再生手段としての復調回路9と、誤り訂正回路10と、インターフェース11と、クロック発生回路12と、スピンドルサーボ回路13と、スピンドルモータ14と、切り換えタイミング発生回路26と、スイッチ27とにより構成されている。

【0088】また、デジタルハイパスフィルタ7は、減算手段としての減算回路20と、平均化手段としての平均化回路21と、抽出手段としてのゼロクロス検出回路22と、加算手段としての加算回路23と、スイッチ24と、加算値発生部25とにより構成されている。このとき、上記減算回路20、平均化回路21、ゼロクロス検出回路22及び加算回路23は、一の閉ループを構成している。

【0089】次に、全体動作を説明する。

【0090】再生すべきデジタル情報が記録されているDVD-RAM1は、図示しないCPUにより制御されるスピンドルサーボ回路13により駆動されるスピンドルモータ14により回転駆動される。このとき、DVD-RAM1を可変速再生する場合には、当該DVD-RAM1は、当該可変速再生の態様に適合した回転数にて回転駆動される。

【0091】一方、ピックアップ2は、回転駆動されるDVD-RAM1の情報記録面に対してレーザ光である光ビームBを照射し、当該光ビームBの反射光に基づいてDVD-RAM1に記録されているデジタル情報又は制御情報に対応した波形の検出信号S_{pp}及び検出信号S_{pp'}を出力する。このとき、検出信号S_{pp}が上述した和信号（デジタル情報に対応した検出信号）であり、検出信号S_{pp'}が上述した差信号（制御情報に対応した検出信号）である。また、当該検出信号S_{pp}及び検出信号S_{pp'}の周波数帯域は、上述のように数百ヘルツから

17

数メガヘルツの帯域に分布している。

【0092】なお、ピックアップ2から光ビームBをDVD-RAM1に照射する際には、図示しないサーボ制御回路により、当該光ビームBに対してトラッキングサーボ制御及びフォーカスサーボ制御が施され、光ビームBがDVD-RAM1上のトラックを正確にトラッキングすると共に情報記録面上に正確に集光されている。

【0093】ここで、当該検出信号S_{pp}及び検出信号S_{pp'}の具体的波形について図4を用いて説明すると、先ず、検出信号S_{pp}（和信号）については、図4最上段に示すように、制御領域S0乃至S7からの検出信号S_{pp}は制御情報記録部70の位置の相違に無関係に一定レベルを維持して検出されるが、グルーブトラック1G又はランドトラック1Lからの検出信号S_{pp}は制御領域S0乃至S7からの検出信号S_{pp}とは異なった中心レベルを有して検出される。これは、制御情報記録部70及びグルーブトラック1G又はランドトラック1Lの中心軸位置の相違（図2参照）に起因するものである。

【0094】一方、検出信号S_{pp'}（差信号）については、図4上から二段目に示すように、制御領域S0乃至S7からの検出信号S_{pp'}は制御情報記録部70の位置に依じて異なる中心レベルを有して検出される。これは、一の制御領域内における制御情報記録部70同士の中心軸位置の相違（図2参照）に起因するものである。一方、グルーブトラック1G又はランドトラック1Lからの検出信号S_{pp'}は制御領域S0乃至S7からの検出信号S_{pp}とは異なった中心レベルを有している。これは、光ビームBの光スポットの中心がグルーブトラック1G又はランドトラック1Lの中心線と略一致するように当該光ビームがBが照射されるため、読取方向に分割されたディテクタの出力信号同士の差信号である検出信号S_{pp'}では、当該分割されたディテクタの出力信号同士が相殺するため、検出信号S_{pp'}として生成されるのが図2におけるトラック（グルーブトラック1G又はランドトラック1L）の上記うねりを検出して生成される信号のみであることに起因する。

【0095】ピックアップ2から出力された検出信号S_{pp}及び検出信号S_{pp'}は、夫々対応するアンプ3及び3'により予め設定されている所定の増幅率で夫々増幅され、スイッチ27に出力される。そして、当該スイッチ27において、後述する制御信号S_{scc}に基づき、DVD-RAM1上の現在再生している領域に対応して、すなわち、上記制御信号記録部70を再生中は上記検出信号S_{pp'}が、グルーブトラック1G若しくはランドトラック1Lを再生中は上記検出信号S_{pp}が、夫々選択され、選択信号S_cとしてアナログハイパスフィルタ4に出力される。

【0096】次に、当該アナログハイパスフィルタ4においては、選択信号S_cに含まれる低周波数の雑音が低減されてアナログ検出信号S_p（具体的波形例は図13

18

参照）として出力される。このとき、選択信号S_cに含まれているデジタル情報又は制御情報に対応する低周波成分をできるだけ低減させないように、当該アナログハイパスフィルタ4におけるカットオフ周波数は、例えば、1キロヘルツとされる。

【0097】次に、アナログ検出信号S_pは、A/D変換器5において、後述する標準化周波数を有するクロック信号S_{clk}に基づいて標準化され、デジタルイコライザ6において高周波成分を増幅するレベル補正が施されてデジタル検出信号S_qとしてデジタルハイパスフィルタ7及び切換タイミング発生回路26に出力される。このとき、デジタルイコライザ6においてレベル補正が行われるのは、検出信号S_{pp}又は検出信号S_{pp'}自体が、もともと高周波成分が減衰する特性を備えているからである。

【0098】また、当該デジタル検出信号S_qの具体的波形について図4上から三段目を用いて説明すると、当該デジタル検出信号S_qでは、上述したスイッチ27の動作により、検出信号S_{pp}から抽出されたグルーブトラック1G又はランドトラック1Lからのデジタル情報に対応するデジタル検出信号S_qと、検出信号S_{pp'}から抽出された制御情報記録部70からの制御情報に対応するデジタル検出信号S_qとが時分割に分離されつつ相互に連続した波形となっている。なお、図4上から三段目において、黒点がデジタル検出信号S_qとしての標本値を示している。

【0099】そして、デジタル検出信号S_qが入力されている切換タイミング発生回路26は、当該デジタル検出信号S_qに基づき、現在DVD-RAM1におけるいずれの領域（すなわち、ランドトラック1L若しくはグルーブトラック1Lのいずれか一方又は制御情報記録部70）を再生中かを示す制御信号S_{scc}及びS_{sc}を生成し、当該制御信号S_{sc}をスイッチ24に出力すると共に制御信号S_{scc}を上記スイッチ27に出力する。なお、切換タイミング発生回路26の詳細については、後述する。

【0100】一方、デジタルハイパスフィルタ7に入力されたデジタル検出信号S_qは、当該デジタルハイパスフィルタ7において、後述するクロック信号S_{clk}を用いて外乱等の雑音の低周波成分が除去され、補正デジタル検出信号S_rとして出力される。このとき、雑音の低周波成分を十分除去できるように、当該デジタルハイパスフィルタ7におけるカットオフ周波数は、例えば、10キロヘルツとされる。

【0101】ここで、アナログハイパスフィルタ4のカットオフ周波数よりも高く、且つデジタルハイパスフィルタ7のカットオフ周波数よりも低い周波数成分を有するデジタル情報又は制御情報については、後述するデジタルハイパスフィルタ7の動作により低減されることなく補正デジタル検出信号S_rとして出力され

19

る。

【0102】また、デジタル検出信号 S_q の段階では、上記制御情報に対応するデジタル検出信号 S_q であるか、又はデジタル情報に対応するデジタル検出信号 S_q であるかに応じて夫々の中心レベル（図4中、符号 S_1 、 S_2 及び S_3 で示す。）が異なっているわけであるが、この場合でも、後述する加算回路23、スイッチ24及び加算値発生回路25の動作により、当該中心レベルの相違が除去された状態で補正デジタル検出信号 S_r が出力される。そして、この中心レベルの相違を除去するために用いられる後述の加算平均化信号 S_{tt} は、DVD-RAM1上の夫々の領域からの検出信号 S_{pp} 又は $S_{pp'}$ における中心レベルを相殺するように、図4最下段に示すように各中心レベルに相当するレベルを有して各領域毎に変化する。

【0103】更に、補正デジタル検出信号 S_r の具体的な波形を図4下から二段目を用いて説明すると、当該補正デジタル検出信号 S_r においては、デジタル検出信号 S_q に生じていた中心レベルの相違が除去されており、制御情報とデジタル情報との間で共通的な中心レベルを有している。なお、図4下から二段目において、グループトラック1G又はランドトラック1L若しくは制御情報記録部70に夫々対応する領域の最初において中心レベルのずれ（角状の突起）が生じ、更に上記加算平均化信号 S_{tt} においても各領域の開始直後の一定時間において波形に鈍りが生じているのは、後述する加算値信号 S_{ra} 、 S_{rb} 又は S_{rc} のレベルがデジタル検出信号 S_q におけるその時点での中心レベルと異なっているためである。

【0104】その後、デジタルハイパスフィルタ7から出力された補正デジタル検出信号 S_r は、ビタビ復号回路8においてビタビ復号方式を用いて復号されると共に、復調回路9において復調され、復調信号 S_{dc} として出力される。

【0105】そして、当該復調信号 S_{dc} に対して誤り訂正回路10において誤り訂正処理が施され、インターフェース11を介して外部の図示しないホストコンピュータにデジタル情報に対応する出力信号 S_o として出力される。

【0106】一方、補正デジタル検出信号 S_r は、クロック発生回路12にも出力される。そして、当該クロック発生回路12において、補正デジタル検出信号 S_r から検出した各検出信号の周波数及び位相に基づいてA/D変換器5及びデジタルハイパスフィルタ7に出力すべき上記クロック信号 S_{clk} が生成される。このとき、DVD-RAM1を可変速再生するときには、夫々の再生速度に対応した標準化周波数のクロック信号 S_{clk} が出力される。より具体的には、例えば、DVD-RAM1を標準の再生速度で再生するときには29メガヘルツのクロック信号 S_{clk} が生成され、2倍速再生する

20

ときには58メガヘルツのクロック信号 S_{clk} が生成される。

【0107】なお、クロック発生回路12の構成についてより具体的には、例えば、補正デジタル検出信号 S_r からアナログ検出信号 S_p とクロック信号 S_{clk} との位相誤差を検出し、この位相誤差をD/A変換した後、ローパスフィルタによって平均化して得られた制御電圧でVCO（Voltage Controlled Oscillator；電圧制御発振器）の発振周波数を制御することでアナログ検出信号 S_p に同期したクロック信号 S_{clk} を生成することができる。

【0108】次に、本発明に係るデジタルハイパスフィルタ7の細部構成及び動作について、図4乃至図6を用いて説明する。

【0109】上述したように、デジタルハイパスフィルタ7は、減算回路20と、平均化回路21と、ゼロクロス検出回路22と、加算回路23と、スイッチ24と、加算値発生器25とにより構成されているが、このうち、減算回路20は、図5に示すように単一の減算器により構成されている。

【0110】また、平均化回路21は、D型フリップフロップ40と、加算器41と、乗算器42とにより構成されている。

【0111】更に、ゼロクロス検出回路22は、D型フリップフロップ30及び36と、絶対値検出回路31及び32と、極性反転検出回路33と、比較回路34と、選択回路35とにより構成されている。

【0112】つぎに、図5を用いて細部動作を説明する。

【0113】アナログ検出信号 S_p をクロック信号 S_{clk} で標準化したものであるデジタル検出信号 S_q がデジタルハイパスフィルタ7に入力されると、減算回路20により当該デジタル検出信号 S_q における夫々の標本値から加算回路23の出力信号としての加算平均化信号 S_{tt} が減算され、上記補正デジタル検出信号 S_r が出力される。

【0114】そして、補正デジタル検出信号 S_r は、上記ビタビ復号回路8に出力されると共に、ゼロクロス検出回路22に出力される。このゼロクロス検出回路22は、補正デジタル検出信号 S_r における隣接する二つの標本値がその時に入力されている補正デジタル検出信号 S_r の中心レベルを跨いで変化したとき、当該二つの標本値のうち、絶対値が小さい方の標本値を中心レベル標本値信号 S_s として出力する機能を有する。

【0115】すなわち、ゼロクロス検出回路22に入力された補正デジタル検出信号 S_r は、絶対値検出回路31及び選択回路35に供給されると共に、上記クロック信号 S_{clk} がタイミング信号として入力されているD型フリップフロップ30に供給され、クロック信号 S_{clk} における1クロック分だけ遅延されて遅延補正ディ

21

タル検出信号 S_r' として絶対値検出回路 32 及び選択回路 35 に出力される。

【0116】これにより、絶対値検出回路 31 においては、遅延前の補正デジタル検出信号 S_r における一の標本値についてその絶対値を検出し、絶対値信号 S_a を比較回路 34 に出力する。

【0117】一方、絶対値検出回路 32 においては、遅延補正デジタル検出信号 S_r' における上記一の標本値の一つ前の標本値についてその絶対値を検出し、絶対値信号 S_a' を比較回路 34 に出力する。

【0118】これにより、比較回路 34 においては、絶対値信号 S_a 及び絶対値信号 S_a' として入力される、補正デジタル検出信号 S_r において隣接する二つの標本値の絶対値を比較し、その小さい方の標本値を示す比較信号 S_c を選択回路 35 に出力する。そして、選択回路 35 は、入力される比較信号 S_c に基づいて、補正デジタル検出信号 S_r 及び遅延補正デジタル検出信号 S_r' として別に入力されている、補正デジタル検出信号 S_r において隣接する二つの標本値を選択し、そのうちの絶対値が小さい方の標本値を最小標本値信号 S_e として D 型フリップフロップ 36 に出力する。

【0119】一方、極性反転検出回路 33 としての排他的論理和回路には、補正デジタル検出信号 S_r の MSB を示す MSB 信号 S_{msb} と遅延補正デジタル検出信号 S_r' の MSB を示す MSB 信号 S_{msb}' とが入力されている。ここで、補正デジタル検出信号 S_r の MSB 及び遅延補正デジタル検出信号 S_r' の MSB は、夫々の検出信号における極性（すなわち、中心レベルを跨いで変換しているか否か）を示しているもので、結果として、極性反転検出回路 33 の出力信号である排他的論理和信号 S_{ex} としては、MSB 信号 S_{msb} と MSB 信号 S_{msb}' とが異なっているときのみ、すなわち、補正デジタル検出信号 S_r において隣接する二つ標本値がそのときの中心レベルを跨いで変化したときのみ「HIGH」となる排他的論理和信号 S_{ex} が出力される。

【0120】そして、上記最小標本値信号 S_e が入力され、更に上記排他的論理和信号 S_{ex} がイネーブル端子に入力される D 型フリップフロップ 36 においては、タイミング信号として入力されているクロック信号 S_{clk} に基づいて、排他的論理和信号 S_{ex} が「HIGH」となるタイミングで入力される最小標本値信号 S_e を中心レベル標本値信号 S_s として平均化回路 21 に出力する。

【0121】次に、当該中心レベル標本値信号 S_s が入力される平均化回路 21 においては、加算器 41 と、クロック信号 S_{clk} がタイミング信号として入力されている D 型フリップフロップ 40 とが閉ループを構成しており、加算器 41 の出力信号は、乗算器 42 に出力されると共に D 型フリップフロップ 40 においてクロック信号 S_{clk} における一クロック分だけ遅延され、一クロック後に加算器 41 に入力される中心レベル標本値信号 S_s

22

と加算される。換言すると、加算器 41 と D 型フリップフロップ 40 で構成される閉ループは、平均化回路 21 に入力される中心レベル標本値信号 S_s を一クロック毎に累積加算する機能を有している。

【0122】そして、累積加算された結果としての加算器 41 の出力信号は、乗算器 42 において $k < 1$ である定数 k が乗算されることによりデジタル信号における平均化処理が施され、平均化信号 S_t が生成されて加算回路 23 に出力される。

【0123】一方、加算値発生部 25 は、デジタル検出信号 S_q における各中心レベル（図 4 符号 S_1 、 S_2 及び S_3 参照）に夫々対応し、これらの差を相殺して DVD-RAM 1 上の各領域（すなわち、グルーブトラック 1G 若しくはランドトラック 1L 又は制御情報記録部 70）からのデジタル検出信号 S_q に渡って同一の中心レベル（補正デジタル検出信号 S_r の中心レベル）とすべく夫々の中心レベルに対応して予め夫々設定されている加算値に対応する加算値信号 S_{ra} 、 S_{rb} 及び S_{rc} をスイッチ 24 に出力する。このとき、加算値信号 S_{ra} が中心レベル S_1 を上記同一の中心レベルとするための加算値信号であり、加算値信号 S_{rb} が中心レベル S_2 を上記同一の中心レベルとするための加算値信号であり、加算値信号 S_{rc} が中心レベル S_3 を上記同一の中心レベルとするための加算値信号である。

【0124】次に、スイッチ 24 は、切換タイミング発生回路 26 からの制御信号 S_{sc} に基づき、現在再生されている DVD-RAM 1 の領域に応じて、当該再生中の領域からのデジタル検出信号 S_q における中心レベルを上記同一の中心レベルとすべく上記加算値信号 S_{ra} 、 S_{rb} 及び S_{rc} のうち、いずれか一の加算値信号を選択し、加算回路 23 に出力する。

【0125】そして、加算回路 23 は、平均化回路 21 から入力されている平均化信号 S_t に対してスイッチ 24 から入力されている加算値信号に含まれている加算値を加算し、加算平均化信号 S_{tt} （図 4 最下段参照）を生成して減算回路 20 に出力する。この加算平均化信号 S_{tt} は、減算回路 20 に入力されているデジタル検出信号 S_q における各中心レベルを同一とすべく、図 4 最下段に示すように、当該各中心レベルに相当する値を有して DVD-RAM 1 上の異なる領域からのデジタル検出信号 S_q に渡って変化するレベルを有している。

【0126】以上説明した減算回路 20、平均化回路 21、ゼロクロス検出回路 22、加算値発生部 25、スイッチ 24 及び加算回路 23 の動作は、クロック信号 S_{clk} における一クロックを単位として繰り返される。

【0127】次に、上述した構成を有するデジタルハイパスフィルタ 7 の時間軸に沿った全体動作を図 6 を用いて説明する。なお、図 6 は、図 4 中下から二段目に符号 A で示す範囲について、アナログ信号である検出信号 S_{pp} 又は S_{pp}' の平均値である直流レベルが高めに（換

23

言すれば、加算値信号 S_{rb} 又は S_{rc} が低めに)ずれている場合を例として示している。ここで、デジタル検出信号 S_q は検出信号 S_{pp} 又は S_{pp}' をクロック信号 S_{clk} で標本化したものであるから、デジタル検出信号 S_q のレベルも高めにずれている。また、図6のデジタル検出信号 S_q において黒丸で示したゼロクロス標本値(検出信号 S_{pp} 又は S_{pp}' において中心レベルに相当する点であった点)も高めにずれている。更に、補正デジタル検出信号 S_r のレベルも当初は高めにずれている。図6は、この補正デジタル検出信号 S_r のレベルが時間の経過と共に補正される場合の動作波形を示している。

【0128】すなわち、図4中符号Aに相当するグループトラック1G又はランドトラック1Lからのデジタル検出信号 S_q に切り換わった切換タイミングにおいて、デジタル検出信号 S_q における符号 q_1 で示した標本値がデジタルハイパスフィルタ7に入力されると、当該切換タイミングにおいては加算平均化信号 S_{tt} はゼロレベルであるので、符号 q_1 で示した標本値はそのまま補正デジタル検出信号 S_r における符号 r_1 で示す標本値として出力される。

【0129】そして、ゼロクロス検出回路22においては、上述した動作により、符号 r_1 で示した標本値が中心レベル標本値信号 S_s における符号 s_1 で示した標本値として出力される。そして、符号 s_1 で示した標本値は、当該切換タイミングにおいてはD型フリップフロップ40の出力レベルがゼロレベルであるので、平均化回路21の加算器41をそのまま通過し、乗算器42において定数 k が乗算され、加算平均化信号 S_{tt} における符号 t_1 で示した標本値となる。そして符号 t_1 で示した標本値は、減算回路20に出力されて次のクロックのタイミングでデジタル検出信号 S_q における符号 q_2 で示される標本値から減算される。

【0130】この後、符号 s_1 で示した標本値の次に、中心レベル標本値信号 S_s における符号 s_4 で示される標本値として得られるのは、補正デジタル検出信号 S_r における符号 r_4 で示される標本値である。この符号 r_4 で示される標本値は、デジタル検出信号 S_q における符号 q_4 で示した標本値から加算平均化信号 S_{tt} における符号 t_3 で示される標本値を減算したものである。そこで、加算器41においては、D型フリップフロップ40に保持されている標本値と符号 s_4 で示される標本値とが加算され、更に乗算器42において定数 k が乗算され、加算平均化信号 S_{tt} における符号 t_4 で示される標本値として減算回路20に出力される。

【0131】次に、符号 s_4 で示した標本値の次に、中心レベル標本値信号 S_s における符号 s_7 で示される標本値として得られるのは、補正デジタル検出信号 S_r における符号 r_7 で示される標本値である。この符号 r_7 で示される標本値は、デジタル検出信号 S_q における符

24

号 q_7 で示した標本値から加算平均化信号 S_{tt} における符号 t_6 で示される標本値を減算したものである。そこで、加算器41においては、D型フリップフロップ40に保持されている標本値と符号 s_7 で示される標本値とが加算され、更に乗算器42において定数 k が乗算され、加算平均化信号 S_{tt} における符号 t_7 で示される標本値として減算回路20に出力される。

【0132】以上説明したような減算回路20、平均化回路21、ゼロクロス検出回路22及び加算回路23の動作が繰り返されることにより、図6に示すように加算平均化信号 S_{tt} の標本値は徐々に増加した後一定化し、これに伴って、図6に示すように補正デジタル検出信号 S_r の標本値については、そのゼロクロス標本値が夫々の中心レベルに一致するようになる。

【0133】これにより、図6に示すデジタル検出信号 S_q において正の方向にずれていた中心レベル標本値が当該中心レベルと一致するように補正され、図6に示す補正デジタル検出信号 S_r が得られることとなる。

【0134】なお、上述したデジタルハイパスフィルタ7のカットオフ周波数は、外乱等を効果的に除去すると共にドロップアウト等からの復帰を早くするために、なるべく高い周波数が選択され、具体的には、例えば、10キロヘルツとされる。そして、このように高い周波数をカットオフ周波数として設定しても、アナログハイパスフィルタ4のカットオフ周波数(本実施形態の場合、数100ヘルツ)より高く、且つデジタルハイパスフィルタ7のカットオフ周波数(本実施形態の場合、10キロヘルツ)より低い周波数成分を有するデジタル情報については、デジタルハイパスフィルタ7の各構成部材の上述した動作(デジタル検出信号 S_q の中心レベル標本値を当該中心レベルに引き戻す動作)により、デジタルハイパスフィルタ7においても減衰されことなく通過して補正デジタル検出信号 S_r として復号される。

【0135】次に、再生速度に応じてクロック信号 S_{clk} の周波数が変化した場合のデジタルハイパスフィルタ7の動作について説明する。

【0136】上述した平均化回路21の伝達関数 $G(z)$ は、

$$\text{【数2】 } G(z) = k / (1 - z^{-1})$$

となる。よって、デジタルハイパスフィルタ7全体の伝達関数 $H(z)$ は

$$\begin{aligned} \text{【数3】 } H(z) &= 1 / (1 + G(z)) \\ &= (1 - z^{-1}) / (1 - z^{-1} + k) \quad \cdots (1) \end{aligned}$$

となる。従って、デジタルハイパスフィルタ7の周波数伝達関数 $H(\omega)$ は、

$$\text{【数4】 } z = \exp(j\omega T)$$

を上記式(1)に代入すれば求められる。なお、 ω は角周波数であり、 T はクロック信号 S_{clk} の周期である。

25

【0137】

$$H(\omega) = (1 - \exp(-j\omega T)) / (1 - \exp(-j\omega T) + k) \\ = (1 - \cos\omega T + j\sin\omega T) / (1 - \cos\omega T + j\sin\omega T + k)$$

一方、周波数を f 、クロック信号 S_{clk} の標準化周波数を f_s とすると、

【数6】 $\omega = 2\pi f$ 、 $T = 1/f_s$

$$H(f) = (1 - \cos(2\pi f/f_s) + j\sin(2\pi f/f_s)) / (1 - \cos(2\pi f/f_s) + j\sin(2\pi f/f_s) + k) \quad \dots (2)$$

上記式 (2) から明らかなように、デジタルハイパスフィルタ 7 の周波数伝達特性は (f/f_s) の関数であり、従って、クロック信号 S_{clk} の周波数 f_s に従って、当該周波数伝達特性（換言すれば、デジタルハイパスフィルタ 7 のカットオフ周波数）は自動的に最適に設定される。

【0138】この、デジタルハイパスフィルタ 7 の周波数伝達特性（カットオフ周波数）が自動的に最適化される状態を具体的に図 7 を用いて説明する。なお、図 7 においては、向かって左側の右上がり曲線がクロック信号 S_{clk} の周波数が 5 メガヘルツのときの周波数伝達特性を示し、向かって右側の右上がり曲線がクロック信号 S_{clk} の周波数が 50 メガヘルツのときの周波数伝達特性を示している。

【0139】図 7 から明らかなように、クロック信号 S_{clk} の周波数が 10 倍になると、デジタルハイパスフィルタ 7 の周波数伝達特性を示す曲線の形状は同じ状態を維持したままカットオフ周波数が 10 倍となっている（図 7 中丸印で示す。）。すなわち、クロック信号 S_{clk} の周波数が n 倍（ n は自然数）となれば、自動的にカットオフ周波数も n 倍となり、更に周波数伝達特性も、単純に周波数軸の値を n 倍としたものと同一の周波数伝達特性となる。

【0140】次に、上述した切換タイミング発生回路 26 の細部構成及び動作について、図 8 及び図 9 を用いて説明する。

【0141】図 8 に示すように、切換タイミング発生回路 26 は、コンパレータ 50、51 及び 52 と、モノマルチバイブレータ (MMV; Monostable Multi Vibrator) 53、54、55 及び 58 と、オア回路 56 と、エッジ検出部 57 とにより構成されている。

【0142】このとき、コンパレータ 50 には、いずれか一方の制御領域における前半の制御情報記録部 70（図 2 参照）からのデジタル検出信号 S_q を検出するための上記中心レベル S_1 （図 4 参照）に略相当する閾値信号 SL_1 が入力されており、他方コンパレータ 51 には、当該いずれか一方の制御領域における後半の制御情報記録部 70（図 2 参照）からのデジタル検出信号 S_q を検出するための上記中心レベル S_2 （図 4 参照）に略相当する閾値信号 SL_2 が入力されており、更にコンパレータ 52 には、グループトラック 1 G 又はランドトラ

26

* * 【数5】

※であるから、デジタルハイパスフィルタ 7 の周波数伝達関数 $H(f)$ は、

※ 【数7】

$$H(f) = (1 - \cos(2\pi f/f_s) + j\sin(2\pi f/f_s)) / (1 - \cos(2\pi f/f_s) + j\sin(2\pi f/f_s) + k) \quad \dots (2)$$

ック 1 L に記録されているデジタル情報に対応するデジタル検出信号 S_q を検出するための上記中心レベル S_3 （図 4 参照）に略相当する閾値信号 SL_3 が入力されている。

【0143】また、モノマルチバイブレータ 53 の出力信号 S_{sc1} が加算値信号 S_{ra} をスイッチ 24 から出力させるための制御信号 S_{sc} となるものであり、モノマルチバイブレータ 51 の出力信号 S_{sc2} が加算値信号 S_{rb} をスイッチ 24 から出力させるための制御信号 S_{sc} となるものであり、モノマルチバイブレータ 52 の出力信号 S_{sc3} が加算値信号 S_{rc} をスイッチ 24 から出力させるための制御信号 S_{sc} となるものであり、更にモノマルチバイブレータ 58 がスイッチ 27 を制御するための上記制御信号 S_{scc} を出力するものである。

【0144】次に、図 9 を用いて切換タイミング発生回路 26 の動作を説明する。

【0145】最初に、DVD-RAM 1 の再生当初であって、スピンドルモータ 14 の回転が安定していないときは、いずれかの制御領域を検出するため、検出信号 $S_{pp'}$ のみを出力するようにスイッチ 27 を制御すべく、制御信号 S_{scc} が出力される。

【0146】そして、いずれかの制御領域が検出され、その後続くデジタル情報に対応するデジタル検出信号 S_q と共に制御情報に対応するデジタル検出信号 S_q が安定して検出されるようになると、この後、コンパレータ 50 は、入力されてくるデジタル検出信号 S_q のレベルと上記閾値信号 SL_1 により示される閾値とを比較し、当該デジタル検出信号 S_q のレベルが閾値信号 SL_1 により示される閾値より大きいとき、すなわち、制御領域内の一方の制御情報記録部 70 が検出されたときは、図 9 上から三段目に示す出力信号 S_{s1} を生成してモノマルチバイブレータ 53 に出力する。そして、当該モノマルチバイブレータ 53 により出力信号 S_{s1} のパルス幅を当該一方の制御情報記録部 70 に相当する時間だけ伸長し、当該一方の制御情報記録部 70 が検出されていることを示す上記出力信号 S_{sc1} （図 9 上から 5 段目参照）をスイッチ 24 に出力する。

【0147】これと並行して、コンパレータ 51 は、入力されてくるデジタル検出信号 S_q のレベルと上記閾値信号 SL_2 により示される閾値とを比較し、当該デジタル検出信号 S_q のレベルが閾値信号 SL_2 により示さ

27

れる閾値より小さいとき、すなわち、制御領域内の他方の制御情報記録部70が検出されたときは、図9上から四段目に示す出力信号 S_{s2} を生成してモノマルチバイブレータ54に出力する。そして、当該モノマルチバイブレータ54により出力信号 S_{s2} のパルス幅を当該他方の制御情報記録部70に相当する時間だけ伸長し、当該他方の制御情報記録部70が検出されていることを示す上記出力信号 S_{sc2} （図9上から6段目参照）をスイッチ24に出力する。

【0148】このとき、出力信号 S_{sc1} 及び S_{sc2} は、オア回路56にも出力されており、当該オア回路56において一の制御領域を検出している期間に「HIGH」となる出力信号 S_{s3} （図9下から五段目参照）が生成される。そして、当該出力信号 S_{s3} における下方エッジがエッジ検出部57において検出され、エッジ検出信号 S_{s4} （図9下から四段目参照）としてモノマルチバイブレータ58へ出力される。その後、当該モノマルチバイブレータ58によりエッジ検出信号 S_{s4} のパルスをデジタル情報が検出される時間（すなわち、一の制御領域が検出されてから次の制御領域が検出されるまでの時間であり、DVD-RAM1では、ディスク状の位置に拘わらず一定である。）だけ伸長し、デジタル情報を検出すべき時間だけ「HIGH」となり、制御情報を検出すべき時間だけ「LOW」となる制御信号 S_{sc} （図9下から三段目参照）をスイッチ27に出力する。この制御信号 S_{sc} に基づくスイッチ27の切換により、検出信号 S_{pp} と検出信号 $S_{pp'}$ が切り換えられて選択信号 S_c として出力されることとなる。

【0149】一方、コンパレータ52は、上述の各動作と並行して入力されてくるデジタル検出信号 S_q のレベルと上記閾値信号 S_{L3} により示される閾値とを比較し、当該デジタル検出信号 S_q のレベルが閾値信号 S_{L3} により示される閾値より小さいとき、すなわち、デジタル情報が検出されたときは、図9下から二段目に示す出力信号 S_{s5} を生成してモノマルチバイブレータ55に出力する。そして、当該モノマルチバイブレータ55により出力信号 S_{s5} のパルス幅を二つの制御領域間のグルーブトラック1G又はランドトラック1Lに相当する時間だけ伸長し、当該デジタル情報が検出されていることを示す上記出力信号 S_{sc3} （図9最下段参照）をスイッチ24に出力する。

【0150】なお、図9中符号Bで示すように、グルーブトラック1G又はランドトラック1Lにデジタル情報が記録されていないときは、検出信号 S_{pp} も変化しないので、出力信号 S_{sc3} も「LOW」レベルのままであり、このときにはスイッチ24が加算値信号 S_{rc} を選択するように切り換わることはない。

【0151】以上説明したように、第1実施形態の情報再生装置Sの動作によれば、補正デジタル信号 S_r における中心レベル標本値を当該中心レベルに一致させる

28

ようにして各中心レベル毎にデジタル検出信号 S_q を補正するので、検出信号 S_{pp} 又は検出信号 $S_{pp'}$ における低周波数域の信号成分を保存してデジタル情報を正確且つ忠実に再生することができる。

【0152】更に、外乱等に起因する雑音について、当該雑音のうち、上記デジタルハイパスフィルタ7のカットオフ周波数未満の周波数成分を低減することができる。

【0153】また、デジタルハイパスフィルタ7中で閉ループを構成してデジタル検出信号 S_q を補正するので、正確な補正デジタル検出信号 S_r を生成することができ、正確にデジタル情報を再生できると共に、複数種類の異なる中心レベルを有する検出信号 S_{pp} 又は $S_{pp'}$ が検出されても、夫々の中心レベル間の相違を相殺して正確にデジタル情報又は制御情報を再生することができる。

【0154】更に、中心レベルの切り換えを含む処理をデジタル的に行うので、一つのチップ上にデジタルハイパスフィルタ7全体を纏めることができると共に、アナログ的に中心レベルを切り換える場合に比して動作を高速化することができる。

【0155】更にまた、デジタルハイパスフィルタ7のカットオフ周波数が、例えば10キロヘルツと高く設定されているので、検出信号 S_{pp} 又は検出信号 $S_{pp'}$ 中にドロップアウト等の信号欠落部分が含まれていても、補正デジタル検出信号 S_r を当該信号欠落から早期に復帰させることができる。

【0156】更に、デジタルハイパスフィルタ7のカットオフ周波数がクロック信号 S_{clk} の周波数の変化に対応して変化するので、可変速再生等により検出信号 S_{pp} 及び $S_{pp'}$ の周波数が変化した場合でも、デジタルハイパスフィルタ7における低周波数の雑音成分の低減を有効に行うことができる。

【0157】更にまた、ビタビ復号方式を用いて補正デジタル検出信号 S_r を復号するので、当該補正デジタル検出信号 S_r のS/N比が低い場合等であっても、正確に復号再生を実行することができる。

【0158】なお、上述の実施形態では、平均化回路21において乗算器42を用いて定数 k を乗算する構成としたが、このとき、一般には $k < 1$ であるが、

【数8】 $k = 1/2^n$ （但し、 n は自然数）

と設定すれば、乗算器42を用いることなく、加算器41の出力信号を上記 n の値に応じてビットシフトすることにより簡易な構成で平均化信号 S_t を生成することができる。

【0159】(II) 第2実施形態

次に、本発明に係る平均化回路の他の実施形態である第2実施形態について、図9及び図10を用いて説明する。なお、第2実施形態の情報再生装置における平均化回路以外の構成部分は、第1実施形態の情報再生装置S

29

と同様であるので、細部の説明は省略する。

【0160】上述の第1実施形態の平均化回路21においては、当該平均化回路21に入力される中心レベル標本値信号 S_s をクロック毎に単純に累積加算して平均化していたが、第2実施形態の平均化回路においては、過去に収束した（すなわち一定化した）後に出力された平均化信号 S_t の値（ほぼ一定レベルとなっている。）を各中心レベル毎に記憶しておき、次に、同一の中心レベルに対応する平均化信号 S_t を使用するときはその初期値として当該記憶されている値を用いる。

【0161】すなわち、図10に示すように、第2実施形態の平均化回路21'は、上述したD型フリップフロップ40、加算器41及び乗算器42に加えて、図示しないCPUから送信されてくるタイミング信号 S_{i1} で示されるタイミングでD型フリップフロップ40の出力信号を記憶する記憶手段としてのD型フリップフロップ61と、当該CPUから送信されてくるタイミング信号 S_{i2} で示されるタイミングでD型フリップフロップ40の出力信号を記憶する記憶手段としてのD型フリップフロップ62と、当該CPUから送信されてくるタイミング信号 S_{i3} で示されるタイミングでD型フリップフロップ40の出力信号を記憶する記憶手段としてのD型フリップフロップ63と、上記制御信号 S_{sc} に基づいて、D型フリップフロップ61の出力信号、D型フリップフロップ62の出力信号又はD型フリップフロップ62の出力信号のいずれかを切り換えて出力するスイッチ64と、図示しないCPUからの制御信号 S_h に基づいてスイッチ64の出力信号と加算器41の出力信号とのいずれか一方を切り換えて乗算器42及びD型フリップフロップ40に出力するスイッチ60とにより構成されている。

【0162】次に、図11を用いてその動作を説明する。

【0163】図11最上段に示すデジタル検出信号 S_q が各D型フリップフロップ61、62及び63に出力されると、D型フリップフロップ61はタイミング信号 S_{i1} （図11下から三段目参照）のタイミングで中心レベル S_1 に対応する制御情報を再生する際に収束したD型フリップフロップ40の出力値（中心レベル S_1 に対応する制御情報を再生する際に収束した平均化信号 S_t の値）を記憶する。

【0164】一方、D型フリップフロップ62はタイミング信号 S_{i2} （図11下から二段目参照）のタイミングで中心レベル S_2 に対応する制御情報を再生する際に収束したD型フリップフロップ40の出力値（中心レベル S_2 に対応する制御情報を再生する際に収束した平均化信号 S_t の値）を記憶する。

【0165】更に、D型フリップフロップ63はタイミング信号 S_{i3} （図11最下段参照）のタイミングで中心レベル S_3 に対応するデジタル情報を再生する際に収束したD型フリップフロップ40の出力値（中心レベル

30

S_3 に対応するデジタル情報を再生する際に収束した平均化信号 S_t の値）を記憶する。

【0166】そして、スイッチ64は、制御信号 S_{sc} に基づいて、各D型フリップフロップ61、62及び63の出力信号を切り換えてスイッチ60に出力する。このとき、中心レベル S_1 を有するデジタル検出信号 S_q を再生中であることを示す制御信号 S_{sc} （上記出力信号 S_{sc1} ）が入力されたときは、スイッチ64はD型フリップフロップ61の出力信号をスイッチ60に出力し、中心レベル S_2 を有するデジタル検出信号 S_q を再生中であることを示す制御信号 S_{sc} （上記出力信号 S_{sc2} ）が入力されたときは、D型フリップフロップ62の出力信号をスイッチ60に出力し、中心レベル S_3 を有するデジタル検出信号 S_q を再生中であることを示す制御信号 S_{sc} （上記出力信号 S_{sc3} ）が入力されたときは、D型フリップフロップ62の出力信号をスイッチ60に出力する。

【0167】そして、スイッチ60は、制御信号 S_h に基づいて加算器41の出力信号とスイッチ64の出力信号とを切り換えて乗算器42及びD型フリップフロップ40に出力する。

【0168】このとき、制御信号 S_h には、DVD-RAM1の各領域の先頭に相当するタイミングでスイッチ60をスイッチ64の出力信号側に切り換えるためのパルス（図11中符号dで示すパルス）が含まれている。

【0169】従って、このパルスdにより、スイッチ60はDVD-RAM1の各領域の先頭時のみスイッチ64からの出力信号側に切り換わり、D型フリップフロップ61、62又は63のいずれかからの出力信号を各領域の初期値として乗算器42に出力する。その後スイッチ60は再び加算器41からの出力信号側に切り換わる。

【0170】このスイッチ60の動作により、過去に収束した平均化信号 S_t の値を初期値として利用することとなる。

【0171】この結果、第2実施形態の平均化回路21'を用いた場合には、生成される加算平均化信号 S_{tt} においては、図11上から三段目に示すように、図4最下段に示したような波形の鈍りがなくなり、従ってデジタルハイパスフィルタから出力される補正デジタル検出信号 S_r においても、図4下から二段目に示したような角状の突起がなくなり、図11上から二段目に示すように整然と連続した補正デジタル検出信号 S_r が得られる。

【0172】以上説明した第2実施形態の平均化回路21'を含むデジタルハイパスフィルタによれば、第1実施形態の効果に加えて、各中心レベルに対応して出力されたD型フリップフロップ40の出力値を夫々別個に記憶し、今回の平均化信号 S_t の出力に当たって当該記憶されている過去に用いられたD型フリップフロップ4

0 の出力値を平均化信号 S_t の初期値として用いることにより今回の平均化信号 S_t を出力するので、迅速に補正デジタル検出信号 S_r を収束させることができる。

【0173】 (III) 変形形態

上述した各実施形態の他に、本発明は種々の変形が可能である。

【0174】すなわち、例えば、上述した第1実施形態における平均化回路21又は第2実施形態における平均化回路21'では、中心レベル標本値信号 S_s 又は補正デジタル検出信号 S_r 内の各標本値を累積加算する構成としたが、各標本値の極性を示す値のみ、すなわち、「+1」又は「-1」のみを累積加算し、その値に定数 k を乗算して平均化信号 S_t としてもよい。この場合には、結果的に補正デジタル検出信号 S_r が正又は負のいずれの方へずれているかのみを判定して補正することとなり、加算器41及びD型フリップフロップ40のビット数を削減して構成することができる。

【0175】また、ゼロクロス検出回路21において、所定時間以上補正デジタル検出信号 S_r における極性反転がないときは、当該ゼロクロス検出回路21の出力である中心レベル標本値信号 S_s をゼロクリアしても良い。これは、例えば、長いドロップアウトが発生して極性反転が長い期間なかった場合に、中心レベル標本値信号 S_s が前値を保持したままとなり、誤差が蓄積されることを防止するためである。

【0176】更に、同様の理由で、補正デジタル検出信号 S_r における極性反転があった場合のクロック信号 Sc_k における一周期間のみ中心レベル標本値信号 S_s を出力し、その他の期間では中心レベル標本値信号 S_s をゼロクリアするように構成してもよい。

【0177】更に、加算器41の出力端にリミッタを設け、上述のような誤差が蓄積されることを防止しても良い。

【0178】更にまた、図5における排他的論理和信号 S_{ex} をD型フリップフロップ40にも出力することで、補正デジタル検出信号 S_r における極性反転があったときのみ中心レベル標本値信号 S_s の累積加算を実行するように構成しても良い。

【0179】更に、上記の各実施形態又は変形形態では、デジタルハイパスフィルタ7内の閉ループを用いて補正デジタル検出信号 S_r をフィードバックすることによりデジタル検出信号 S_q の直流レベルを補正する構成としたが、これ以外に、上記デジタル検出信号 S_q をゼロクロス検出回路22に直接入力することにより、当該デジタル検出信号 S_q におけるゼロクロス標本値を抽出し、その値を直接（平均化せずに）元のデジタル検出信号 S_q の各標本値から減算するように構成することもできる。このように構成しても、デジタル検出信号 S_q において記録情報の低周波成分を保存し外乱等による雑音に起因する低周波成分を除去することが

できる。

【0180】また、上述の各実施形態及び変形形態では、本発明をデジタル情報を再生する情報再生装置に対して適用した場合について説明したが、これ以外に、上記制御情報記録部70から制御情報を読み出しつつデジタル情報をDVD-RAM1に記録する情報記録装置に対して適用することも可能である。

【0181】

【発明の効果】以上説明したように、請求項1に記載の発明によれば、デジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるようにデジタル情報が記録されている記録媒体から当該デジタル情報を再生する場合に、各標本化検出信号における直流レベルを標本化検出信号の各標本値から減算して各標本化検出信号を補正するので、各検出信号における低周波数域の信号成分を保存してデジタル情報を正確且つ忠実に再生することができる。

【0182】請求項2に記載の発明によれば、デジタル情報に対応する検出信号が、複数種類の異なる中心レベルを有して夫々検出されるようにデジタル情報が記録されている記録媒体から当該デジタル情報を再生する場合に、夫々の補正標本化検出信号における中心レベル標本値を中心レベルに一致させて当該標本化検出信号を夫々補正するので、各検出信号における低周波数域の信号成分を保存してデジタル情報を正確且つ忠実に再生することができる。

【0183】請求項3に記載の発明によれば、請求項2に記載の発明の効果に加えて、閉ループを構成して各標本化検出信号を夫々補正するので、正確な補正標本化検出信号を生成することができると共に、複数種類の異なる中心レベルを有する検出信号が検出されても、夫々の中心レベル間の相違を相殺して正確にデジタル情報を再生することができる。

【0184】請求項4に記載の発明によれば、請求項1から3のいずれか一項に記載の発明の効果に加えて、各制御情報記録部及び各セクタからの検出信号において、夫々の中心レベルが異なっても、夫々の中心レベルの相違を相殺することにより各制御情報記録部に記録されている再生制御情報並びにデジタル情報を夫々確実に読み出して再生することができる。

【0185】請求項5に記載の発明によれば、請求項4に記載の発明の効果に加えて、各中心レベルに対応して出力された平均値を夫々別個に記憶し、今回の平均値の出力に当たって当該記憶されている過去に用いられた平均値を初期値として用いることにより今回の平均値を出力するので、迅速に当該平均値を出力することができる。

【0186】請求項6に記載の発明によれば、請求項1から5のいずれか一項に記載の発明の効果に加えて、補正手段がデジタルハイパスフィルタとして機能するこ

33

ととなるので、外乱等に起因する雑音信号のうち、ディジタルカットオフ周波数未満の周波数成分を低減することができる。

【0187】また、ディジタルカットオフ周波数が各標準化周波数の変化に対応して変化するので、夫々の検出信号の周波数が変化した場合でも、補正手段における雑音の低周波成分の低減を有効に行うことができる。

【0188】請求項7に記載の発明によれば、請求項1から6のいずれか一項に記載の発明の効果に加えて、ピタビ復号方式を用いて再生するので、各補正標準化検出信号のS/N比が低い場合等であっても、正確に夫々の復号再生を実行することができる。

【図面の簡単な説明】

【図1】DVD-RAMの記録フォーマットを示す平面図である。

【図2】DVD-RAMの記録フォーマットを示す拡大図である。

【図3】第1実施形態の情報再生装置の概要構成を示すブロック図である。

【図4】第1実施形態の情報再生装置の動作を示すタイミングチャートである。

【図5】ディジタルハイパスフィルタの細部構成を示すブロック図である。

【図6】ディジタルハイパスフィルタの動作を示すタイミングチャートである。

【図7】ディジタルハイパスフィルタの周波数伝達特性の関係を示すチャート図である。

【図8】切換タイミング発生回路の概要構成を示すブロック図である。

【図9】切換タイミング発生回路の動作を示すタイミングチャートである。

【図10】第2実施形態の平均化回路の概要構成を示すブロック図である。

【図11】第2実施形態の平均化回路の動作を示すタイミングチャートである。

【図12】従来の情報再生装置の概要構成を示すブロック図であり、(a)は全体構成を示す図であり、(b)は2値化回路の概要構成を示すブロック図である。

【図13】アナログハイパスフィルタの動作を示すタイミングチャートである。

【符号の説明】

- 1…DVD-RAM
- 1L…ランドトラック
- 1G…グルーブトラック
- 2、102…ピックアップ
- 3、3'、103…アンプ
- 4、105…アナログハイパスフィルタ
- 5…A/D変換器
- 6…ディジタルイコライザ
- 7、7'…ディジタルハイパスフィルタ

34

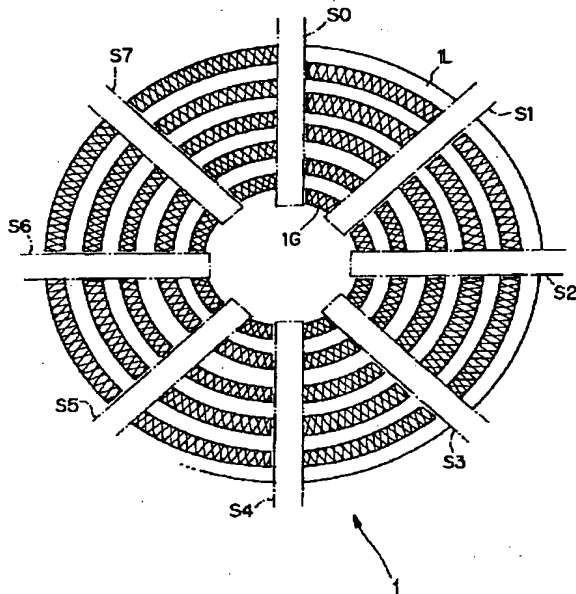
- 8…ピタビ復号回路
- 9、109…復調回路
- 10、110…誤り訂正回路
- 11、111…インターフェース
- 12、12'…クロック発生回路
- 13、101…スピンドルサーボ回路
- 14、100…スピンドルモータ
- 20…減算回路
- 21、21'…平均化回路
- 22…ゼロクロス検出回路
- 23…加算回路
- 24、27、60、64、106g…スイッチ
- 25…加算値発生部
- 30、36、40、61、62、63…D型フリップフロップ
- 31、32…絶対値検出回路
- 33…極性反転検出回路
- 34…比較回路
- 35…選択回路
- 41…加算器
- 42…乗算器
- 50、51、52、106a、106b、106c…コンパレータ
- 53、54、55、58…モノマルチバイブレータ
- 56…オア回路
- 57…エッジ検出部
- 70…制御情報記録部
- 71…未記録部
- 104…アナログイコライザ
- 106…2値化回路
- 106d、106e、106f…閾値制御部
- 107…サンブラ
- 108…PLL
- 112…コンデンサ
- 113…抵抗
- S0、S1、S2、S3、S4、S5、S6、S7…制御領域
- S、J…情報再生装置
- Spp、Spp'…検出信号
- Sc…選択信号
- Si1、Si2、Si3…タイミング信号
- Sp…アナログ検出信号
- Sq…ディジタル検出信号
- Sr…補正ディジタル検出信号
- Sr'…遅延補正ディジタル検出信号
- Ss…中心レベル標本値信号
- St…平均化信号
- Stt…加算平均化信号
- Sra、Srb、Src…加算値信号
- Ssc、Ssc…制御信号

35

$Ss1$ 、 $Ss2$ 、 $Ss3$ 、 $Ss4$ 、 $Ss5$ 、 $Ssc1$ 、 $Ssc2$ 、 $Ssc3$
 …出力信号
 $SL1$ 、 $SL2$ 、 $SL3$ …閾値信号
 Sdc …復調信号
 So …出力信号
 Si …記録符号
 $Smsb$ 、 $Smsb'$ …MSB信号

【図1】

DVD-RAMの記録フォーマットを示す平面図



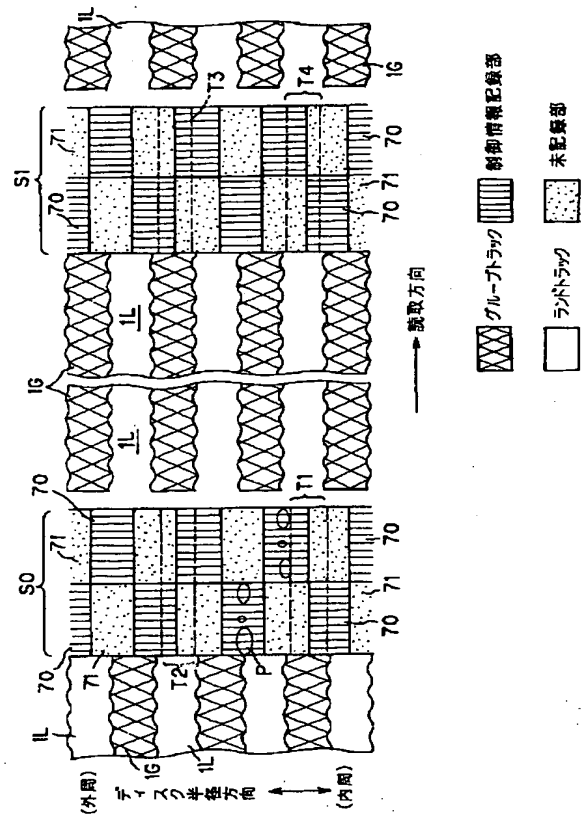
36

Sa 、 Sa' …絶対値信号
 Sc …比較信号
 Se …最小標本値信号
 $Sc1k$ …クロック信号
 Sex …排他的論理和信号
 P …ビット列

*

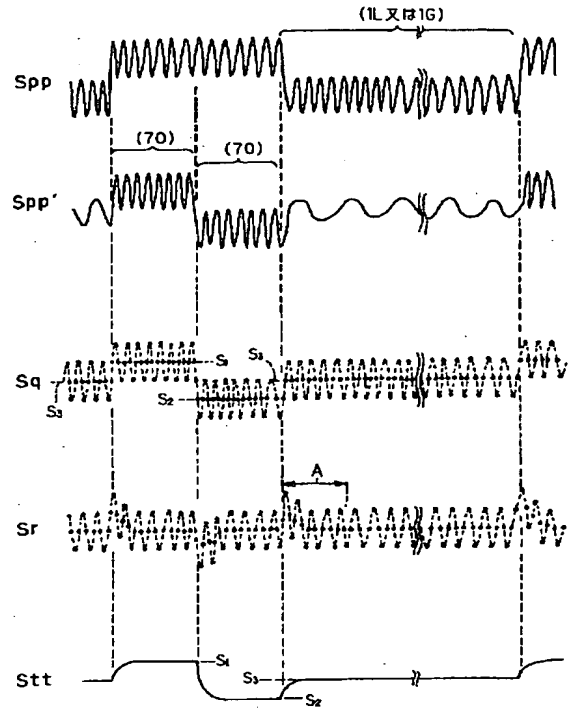
【図2】

DVD-RAMの記録フォーマットを示す拡大図



【図 4】

第1実施形態の情報再生装置の動作を示すタイミングチャート



【图 5】

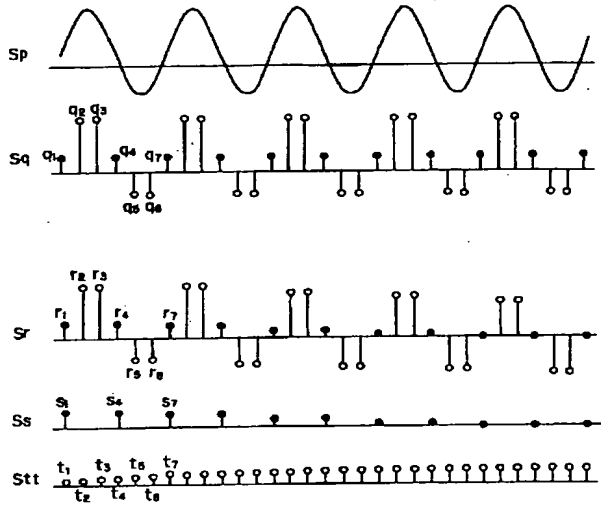
Figure 1 is a block diagram of a digital signal processing circuit. The circuit includes several interconnected blocks and signal paths:

- 20: 減算回路 (Subtraction Circuit):** Receives input S_q and outputs S_r . It also receives Stt and outputs St .
- 23: 加算回路 (Addition Circuit):** Receives Stt and outputs St . It also receives Ssc and outputs Sr .
- 24: スイッチ (Switch):** Receives Sr and outputs Ssc . It also receives Sr and outputs Sr .
- 25: 加算値発生部 (Addition Value Generator):** Receives Sr and outputs Ssc .
- 42: 乗算器 (Multiplier):** Receives St and outputs K .
- 40: D型フリップフロップ (D-type Flip-Flop):** Receives K and outputs S_{dk} .
- 41: 加算器 (Adder):** Receives S_{dk} and outputs S_s .
- 22: ゼロクロス検出回路 (Zero-Cross Detection Circuit):** Receives S_s and outputs S_e .
- 35: 選択回路 (Selection Circuit):** Receives S_e and outputs S_c .
- 34: 比較回路 (Comparison Circuit):** Receives S_c and outputs S_{sx} .
- 31: 絶対値検出回路 (Absolute Value Detection Circuit):** Receives S_{sx} and outputs S_{msb} .
- 30: D型フリップフロップ (D-type Flip-Flop):** Receives S_{msb} and outputs S_{mb} .
- 33: 極性反転検出回路 (Polarity Inversion Detection Circuit):** Receives S_{mb} and outputs $S_{mb'}$.

The circuit is divided into two main sections by a dashed line. The top section contains the subtraction circuit (20), addition circuit (23), switch (24), value generator (25), multiplier (42), D-type flip-flop (40), and adder (41). The bottom section contains the zero-cross detection circuit (22), selection circuit (35), comparison circuit (34), absolute value detection circuit (31), D-type flip-flop (30), and polarity inversion detection circuit (33).

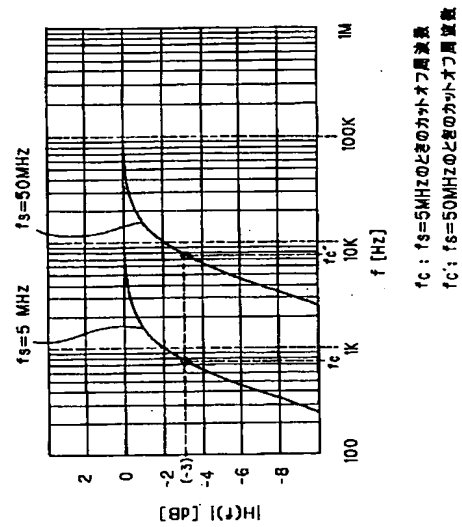
【図6】

デジタルハイパスフィルタの動作を示すタイミングチャート



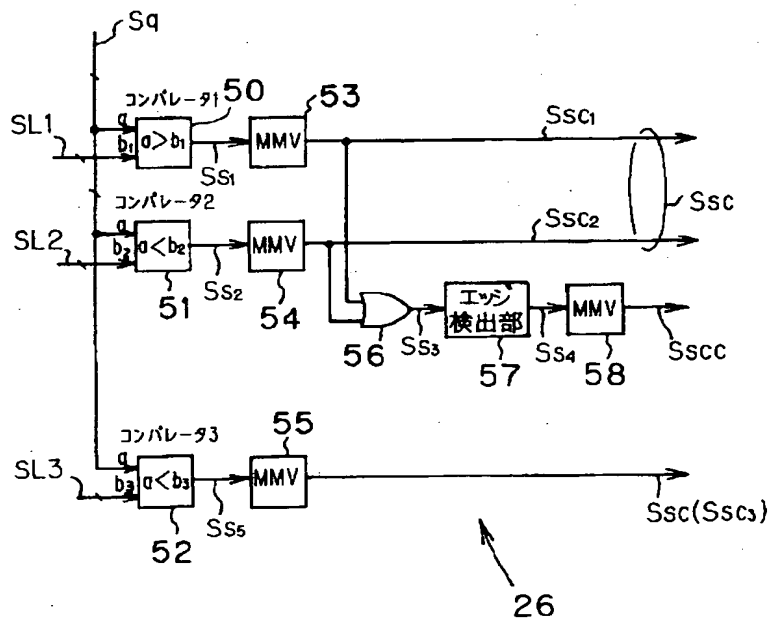
【図7】

デジタルハイパスフィルタの周波数伝達特性の関係をjωH



【図8】

切換タイミング発生回路の概要構成を示すブロック図



【図13】

アナログハイパスフィルタの動作を示すタイミングチャート

